

一种自参考的可变分辨率片上抖动测量系统

解俊杰^{1,2}, 杨雅娟^{1,2}, 刘 飞¹, 杨海钢¹, 韦援丰^{1,2}, 王 峰³

(1 中国科学院 电子学研究所, 北京 100190; 2 中国科学院大学, 北京 100049;

3 龙芯中科技术有限公司, 北京 100190)

摘 要: 提出了一种基于游标延时链结构的可变分辨率片上时钟抖动测量系统. 为消除外部参考时钟引入的误差, 利用单周期延时模块实现了自参考抖动测量设计. 游标延时链由数字可控延时单元构成, 测量分辨率可通过选择信号进行设置. 数据读出部分采用真单相时钟 D 触发器, 实现了高速时钟测量. 与传统方法相比, 此方法无需参考时钟, 测量频率范围大, 测量分辨率高且可以灵活设置. 系统采用 0.13 μm CMOS 工艺设计, 电源电压为 1.5 V. 后仿结果表明该系统可测量时钟频率范围为 100~800 MHz, 最高分辨率可达 5.71 ps, 最大测量量程可达 1.4 ns.

关键词: 自参考结构; 游标延时链; 数字可控延时单元; 真单相时钟

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2015)11-0033-07

A Variable Resolution On-Chip Jitter Measurement System Using Self-Referred Architecture

XIE Jun-jie^{1,2}, YANG Ya-juan^{1,2}, LIU Fei¹,
YANG Hai-gang¹, WEI Yuan-feng^{1,2}, WANG Feng³

(1 Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China;

2 University of the Chinese Academy of Sciences, Beijing 100049, China;

3 Loongson Technology Co., Ltd, Beijing 100190, China)

Abstract: This paper proposes a variable resolution on-chip jitter measurement system which is based on a vernier delay line. In order to eliminate the error introduced by external reference clock, a self-referred architecture is realized by using a one-period delay module. The vernier delay line is composed of digitally controlled delay elements, and the resolution could be set by a selection signal. True single phase clock D flip-flops are adopted in the read-out part to achieve high speed jitter measurement. Compared with traditional methods, the proposed system gains the larger frequency range and the higher measurement resolution, and need not the reference clock. The system is designed in a 0.13 μm CMOS process with 1.5 V supply power. Post-layout simulation results reveal that the system can measure clock jitter various from 100 MHz to 800 MHz with a highest timing resolution of 5.71 ps and a largest range of 1.4 ns.

Key words: self-referred architecture; vernier delay line; digitally controlled delay element; true single phase clock

1 引言

任何数字电路在工作时都会受到来自片内和片外噪声的影响, 这些噪声会造成时钟的抖动, 降低时钟的精度. 传统的时钟抖动测量方法需要借助于外

部设备进行测量. 随着电路的集成密度和系统工作频率的不断提高, 传统的测量方法遇到了一系列的挑战^[1]: (1) 很难把高密度芯片的被测信号引出到测量探针上; (2) 高频信号极易受到外部设备寄生电阻电容的干扰; (3) 测量设备价格昂贵. 相对于片外测

收稿日期: 2015-01-17; 修回日期: 2015-03-01

基金项目: 国家自然科学基金(61271149)

量,片上测量技术将测量电路和信号产生电路集成在同一块芯片上,不需要外部设备,大大降低了成本又提高了测量的准确度,因而得到广泛的使用。

片上抖动测量方法广泛采用时间数字转换器(Time-to-Digital Converter, TDC)的方法,把时间间隔转化为数字输出。目前最常用的 TDC 方法有游标延时链(Vernier Delay Line, VDL)方法^[2-5]和游标环形振荡器(Vernier Ring Oscillator, VRO)方法^[1,6,7]。这两种方法利用两个延时单元的延迟差,把测量分辨率提高到了皮秒量级。VDL 方法可以进行连续测量,但是需要的面积开销较大。VRO 方法仅仅使用几个延时单元,在有效减小面积开销的同时又解决了延时单元之间的匹配问题,可相比于 VDL 方法,VRO 不能进行连续测量,且测量时间较长。

本文提出一种基于游标延时链(VDL)方法的片上时钟抖动测量系统。与其他 VDL 方法相比,该系统有以下特点。(1)利用单周期延时模块实现自参考结构设计^[8],无需参考时钟。(2)游标延时链由数字可控延时单元构成^[9],有 4 种不同的测量分辨率,测量时可以根据被测时钟抖动大小进行灵活设置,选择高测量分辨率或者大测量量程。(3)系统输出采用流水线读出结构^[10],可以实现连续周期-周期时钟抖动测量。该系统采用 0.13 μm CMOS 工艺设计,芯片面积为 2.4 mm $\times$ 1.8 mm,电源电压为 1.5 V。后仿结果表明,该系统可以测量的输入时钟信号频率范围为 100~800 MHz,测量分辨率最高可达 5.71 ps,测量量程最大可达 1.4 ns。

2 电路结构

传统的利用游标延时链测量时钟抖动的方法需要一个标准的参考时钟,通过测量待测时钟和标准参考时钟边沿的时间间隔来获取抖动信息。如果参考时钟不理想,会给测量结果带来很大的误差。为了消除该误差,本设计采用一个单周期延时模块实现自参考设计,无需参考时钟。单周期延时模块的输入时钟和输出时钟时序图如图 1 所示, clock 为输入时钟, Dclock 为延时之后的输出时钟。该模块把 clock 自动延时 ΔT 之后输出,其中 ΔT 大约为一个时钟周期,且对任意 n ,有 $\Delta T < T_n$ 。

输入时钟 clock 的周期-周期抖动 τ_n 定义为

$$\tau_n = T_n - T_{n-1} \quad (1)$$

由图 1 可知:

$$\begin{aligned} \Delta t_n - \Delta t_{n-1} &= (T_n - \Delta T) - (T_{n-1} - \Delta T) \\ &= T_n - T_{n-1} \end{aligned} \quad (2)$$

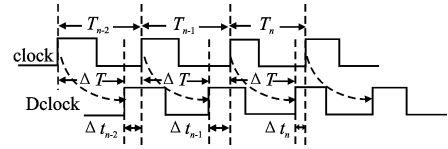


图 1 单周期延时模块输入输出时序图

对比式(1)和式(2)可得

$$\tau_n = \Delta t_n - \Delta t_{n-1} \quad (3)$$

由式(3)可知,测量延时之后的剩余相位时间差 Δt_n ,就可以计算得到 clock 时钟的周期-周期抖动,引入单周期延时模块成功地实现了自参考结构的设计。

此外,由图 1 可知:

$$\begin{aligned} \Delta t_n &= T_n - \Delta T \\ &= (T_n - \bar{T}) + (\bar{T} - \Delta T) \end{aligned} \quad (4)$$

式中, $\bar{T}$ 为 clock 的平均周期, T_n 为其周期抖动。在单次测量时 $\bar{T} - \Delta T$ 是一个固定值,因此,由式(4)可知,通过 Δt_n 可以直接计算出与 clock 的周期抖动相关的一些统计特性,例如峰峰值和标准差。

图 2 所示为本文提出的片上时钟抖动测量系统结构图。该系统由单周期延时模块、游标延时链测量模块、编码器和输出缓存组成。系统进行测量时,单周期延时模块首先根据输入时钟 clock 自动产生延时时钟 Dclock。延时完毕并且锁定输出后,锁定信号 lock 置为高电平,此时 clock 与 Dclock 被送入游标延时链模块的输入端进行测量。游标延时链的测量结果为 45 位数据输出,经过编码器压缩为 7 位数据之后存入输出缓存中,最后可从输出缓存中读取测量结果。

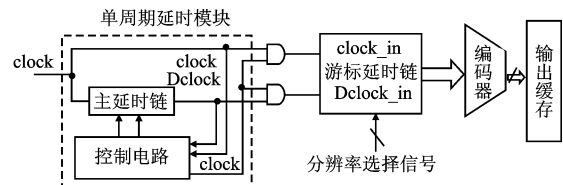


图 2 片上时钟抖动测量系统结构图

3 单周期延时模块实现

3.1 模块整体结构

单周期延时模块的内部结构图如图 3 所示。输入时钟 clock 在电路自动控制下产生延时,一段时间后,延时被锁定在接近一个时钟周期,输出 Dclock 时钟。锁定状态下,输出信号 lock 为高电平,并且 Dclock 的相位总是超前 clock 的相位。

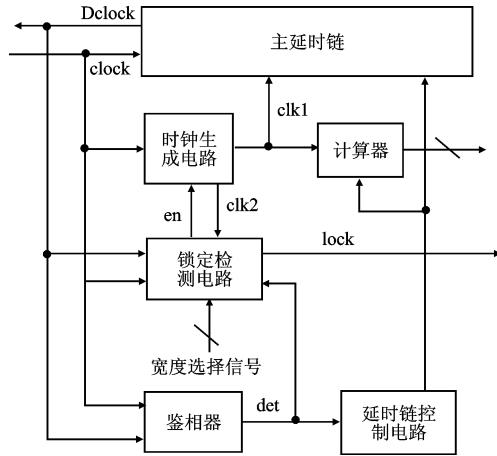


图3 单周期延时模块内部结构图

单周期延时模块由以下几个部分组成。(1)主延时链,用于产生延时后的信号 Dclock,长度可以控制。(2)时钟生成电路,利用输入时钟 clock 产生控制时钟 clk1 和 clk2,其中 clk1 提供给主延时链和计数器,clk2 提供给锁定检测电路。en 信号为 1 时 clk1 正常输出,en 信号为 0 时 clk1 关闭。(3)锁定检测电路,用于检测电路是否锁定,并且输出相应的 lock 信号。(4)鉴相器,用于判断 clock 和 Dclock 的相位关系,当 Dclock 超前 clock 时,输出信号 det 为 1,反之为 0。(5)延时链控制电路,用于产生延时链的控制信号,配合 clk1 改变延时链的长度。(6)计数器,根据延时链控制信号和 clk1 进行计数,记录延时链的长度。

该模块对输入时钟进行延时并且锁定的步骤如下所示。

(1)初始化设置,减小主延时链长度至最短,计数器清零。

(2)主延时链最短时, Dclock 略微落后于 clock,如图 4(a)所示, det 输出为 0。增加主延时链长度,直到延时超过 clock 周期的一半,如图 4(b)所示。此时可以认为 Dclock 的相位超前 clock, det 输出为 1,进入自动调整延时链状态。

(3)延时链控制电路输出控制信号,配合时钟 clk1 调整延时链长度。若 Dclock 的相位超前 clock,则增加延时链的长度,反之则减小。

(4)调整延时链长度的同时,锁定检测电路判断 clock 和 Dclock 的相位关系是否满足一定的条件,不满足时就继续调整延时链。一旦满足条件,信号 en 就置为 0,关闭时钟 clk1,停止对延时链的调整。同时,锁定检测电路开始利用 clk2 计数,在 256 个 clk2 的时钟周期内,若 clock 和 Dclock 的相位关系一直符合要求,则电路完成锁定,lock 信号输出为

1,此时可以进行后续测量。

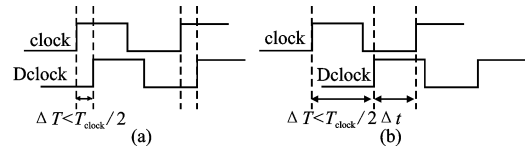


图4 不同情况下 clock 和 Dclock 的相位关系

步骤(4)中 clock 和 Dclock 的相位关系需要满足的条件如下:① Dclock 总是超前于 clock;②图 4(b)中 Dclock 的超前量 Δt 要小于一个预设值 T_{set} , T_{set} 由宽度选择信号控制。

在锁定检测电路利用 clk2 进行计数,或者电路已经处于锁定状态时,一旦 clock 和 Dclock 违反上述条件之一,就通过 en 信号开启时钟 clk1,重新执行步骤(3)与步骤(4),直到电路再次锁定为止。

3.2 主延时链

主延时链采用基于与非门的数字控制延时链 (Digitally Controlled Delay Line, DCDL) 结构^[11],如图 5 所示。

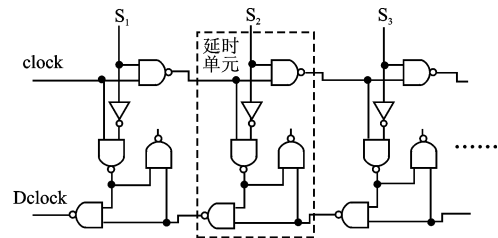


图5 主延时链结构

延时链由图 5 虚线框中的延时单元一级一级串联而成,每级延时单元包含 4 个与非门,通过控制码 $S_1 S_2 S_3 \dots$ 来控制延时链的长度。当 $S_i = 1$ 时,第 i 级延时单元处于打开状态,信号可以进入第 $i+1$ 级延时单元。若延时链包含 k 级延时单元,其中有 c 级处于打开状态时,对应的控制码为 $S_1 S_2 \dots S_c S_{c+1} \dots S_{k-1} S_k = 11 \dots 10 \dots 00$,满足 $S_i = 1, i \leq c$ 和 $S_i = 0, i > c$ 。此时该延时链的延时 ΔT 可以写成:

$$\Delta T = (2 + 2c) \times t_{\text{NAND}} \quad (5)$$

式中, t_{NAND} 表示单个与非门的延时。从式(5)中可以看出,当所有的延时单元均关闭时,延时链的延时最小, $\Delta T_{\min} = 2t_{\text{NAND}}$,而每增加一级延时单元, ΔT 增加 $2t_{\text{NAND}}$ 。

3.3 锁定检测电路

在锁定检测中,延时链的输入时钟 clock 和输出时钟 Dclock 需要同时满足两个条件,当任意一个条件不满足时,将会造成失锁,之后延时链需要重新

调整,调整完成之后重新计数锁定.

锁定检测部分的电路结构如图 6 所示,由一个延时为 T_{set} 的短延时链,一个鉴相器,一个计数值为 256 的计数器以及若干逻辑门构成.

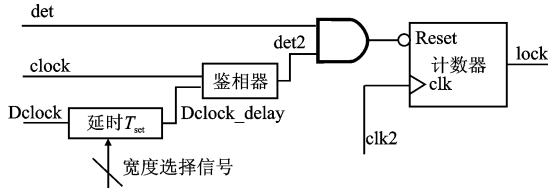


图 6 锁定判决电路结构框图

计数器的 Reset 信号为低电平有效. 当 Reset 信号为 1 时,计数器开始计数,计到 256 时,置 lock 输出信号为 1,表示延时已经锁定,可以进行后续测量. 一旦某个时刻,Reset 信号变为 0,计数器就会复位,lock 信号被置为 0,等到 Reset 信号恢复 1 时再重新计数.

当 Dclock 的相位超前 clock 时,图 3 中的鉴相器的输出信号 det 为 1. 当 Dclock 的相位超前量 Δt 小于 T_{set} 时,Dclock_delay 的相位将会落后于 clock,如图 7 所示,信号 det2 也为 1. 由与门的特性可知,只有当上述两个条件同时满足时,计数器的 Reset 信号才为 1,计数器才能工作. 违反任一条件时,计数器都会被复位,电路进入失锁状态. 短延时链的延时 T_{set} 由宽度选择信号进行控制,通过该信号选择合适的 T_{set} ,可以保证 Dclock 信号的相位超前量在游标延时链的测量量程之内.

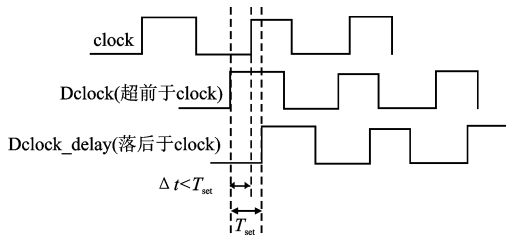


图 7 clock, Dclock 和 Dclock_delay 的相位关系

4 游标延时链模块实现

4.1 模块整体结构

本文采用游标延时链测量图 1 中的 Δt_n ,其测量原理如图 8 所示.

该方法采用了两条延时链,上面一条延时链由较快的延时单元组成,其延时为 T_f ,下面一条由较慢的延时单元组成,其延时为 T_s ,该 VDL 的测量分辨率为 $T_R = T_s - T_f$. 整个游标延时链共有 90 级延

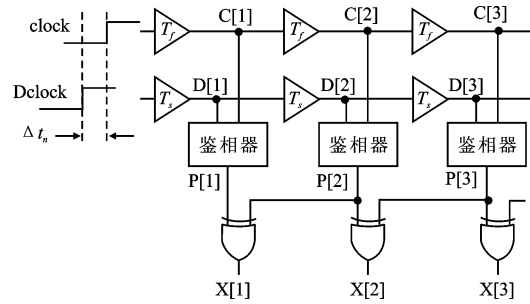


图 8 游标延时链测量原理图

时单元. 初始时刻 Dclock 和 clock 的上升沿相差 Δt_n ,每经过一级延时单元,Dclock 的上升沿以 T_R 的速度靠近 clock 的上升沿. 测量时图 8 中部分节点的信号值如图 9 所示. 当 $D[m]$ 未追上 $C[m]$,而 $D[m+1]$ 追上 $C[m+1]$ 时,鉴相器输出结果 $P[1], P[2], \dots, P[m]$ 均为 1, $P[m+1], P[m+2], \dots, P[90]$ 均为 0,此时异或门的输出结果 $X[m]$ 为 1. 输出 m 的值,则此次测量结果可以认为是:

$$\Delta t_n = m \times T_R \quad (6)$$

输入时钟 clock 的每个周期均有一个对应的 Δt_n ,记连续 N 个周期的测量结果分别为 $m_1, m_2, m_3, \dots, m_N$,根据式(6)可以计算得到 clock 时钟的相关抖动信息.

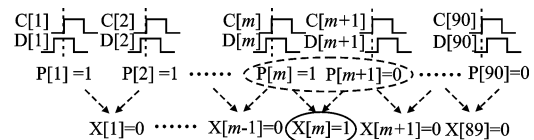


图 9 测量时 VDL 部分节点的信号值

由于延时单元共有 90 级,延时链比较长,当被测时钟的频率较高时,可能会出现当前时钟周期还在延时链中传输,而下一个时钟周期已经进入了延时链的情况,这样会导致当前时钟周期的输出结果被下一个时钟周期的输出结果覆盖,测量输出结果错误.

为了解决这个问题,实现连续周期测量,本文采用如图 10 所示的数据读出结构^[10]. 把整条延时链分为 K_s 个次级延时模块,每个次级延时模块又由 N_s 个延时单元构成. 一个时钟周期进入次级延时模块 1 中,经过 N_s 个延时单元,得到相应的测量结果之后,在下一个时钟周期进入模块 1 之前,触发寄存器 1_1,将所得结果保存在寄存器 1_1 的输出端. 当该时钟周期经过模块 2 之后,触发寄存器 2_1 和 2_2,将模块 2 的测量结果保存在寄存器 2_1 的输出端,同时将模块 1 的测量结果移位保存到寄存器 2_2

2. 通过这种不断向前移位的方式可以保证当前时钟周期的测量结果不会被下一时钟周期的结果所覆盖. 本文选择 N_S 的值为 6, K_S 的值为 15.

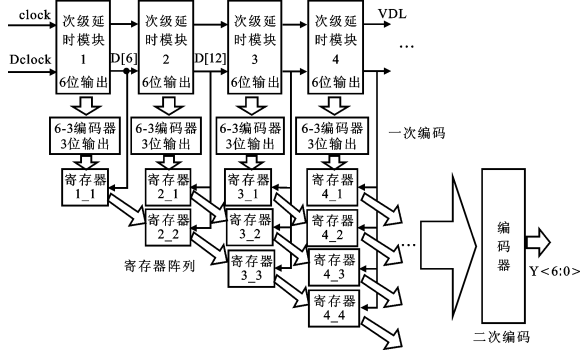


图 10 本文采用的数据读出结构

测量过程中, 每个次级延时模块的 6 个输出被压缩成 3 位进行保存. 最终的测量结果经过二次压缩, 得到 7 位输出. 通过这种二次编码的方式, 大大减小了寄存器阵列所需要的资源. 记输出结果为 $Y<6:0>$, 高 4 位 $Y<6:3>$ 表示输出为 1 的异或门所在的模块, 低 3 位 $Y<2:0>$ 表示该异或门在次级模块中所处的级数. 所测得的 m 值为

$$m = (Y<6:3> - 1) \times 6 + Y<2:0> \quad (7)$$

式(7)中分别把 $Y<6:3>$ 和 $Y<2:0>$ 换算成十进制数进行计算, 把式(7)代入式(6)可得本次测量得到的 Δt_n 值.

4.2 数字可控延时单元

游标延时链中较慢的延时链由数字可控延时单元 (Digitally Controlled Delay Element, DCDE) 构成^[9], 结构如图 11 所示. 信号 $K<0>$ 和 $K<1>$ 可以控制晶体管 $M5 \sim M8$ 的通断. 当 $M5 \sim M8$ 都导通时, 反相器的充放电电流 I_1 和 I_2 最大, 此时 T_s 最小, 当 $M5 \sim M8$ 都关断时, I_1 和 I_2 最小, 此时 T_s 最大. 分辨率选择信号 $K<1:0>$ 有 00, 01, 10, 11 四种不同的取值, 相应四种不同的 T_s 值和四种不同的测量分辨率 T_R .

游标延时链的测量量程由测量分辨率和延时单元的级数共同决定. 本文中延时单元的级数是固定不变的, 因此, 测量分辨率越低, 相应的测量量程越大. 在实际测量时可以根据抖动的大小灵活选择测量的分辨率, 抖动较小时可以选择更高的测量分辨率, 抖动较大时可以通过降低测量分辨率来获取更大的测量量程.

4.3 寄存器

时钟信号从图 10 中的 $D[6]$ 节点处传输到 D

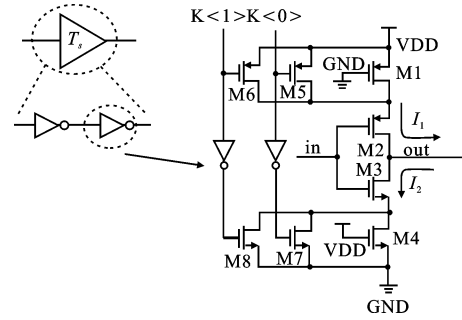


图 11 数字可控延时单元结构

[12] 节点处所需的时间不能过长, 否则当前时钟周期的测量结果会被下一周期的测量结果所覆盖. 为满足高速时钟测量要求, $D[6]$ 和 $D[12]$ 节点的延时大约在几百皮秒左右, 这就需要把图 10 中寄存器的传输时间与建立时间之和限制在几百皮秒之内. 本文采用基于真单相位时钟 (True Single Phase Clock, TSPC) D 触发器的寄存器结构, 如图 12 所示.

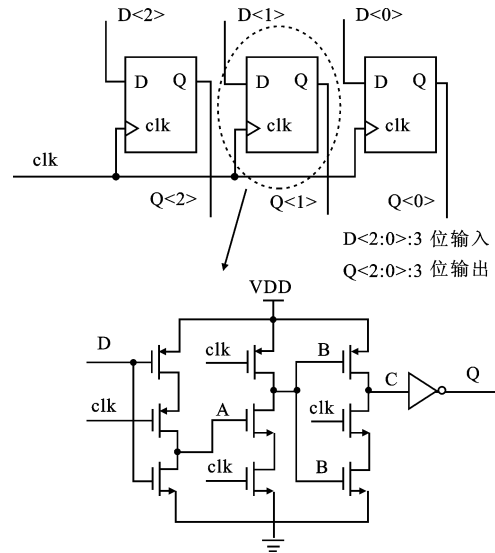


图 12 TSPC 型 D 触发器结构

TSPC 型 D 触发器中, 当 clk 为低电平时, 节点 A 的值为 $A = \bar{D}$, 节点 B 被预充电至 VDD. clk 的上升沿到来以后, 若 $A=1$, 则 B 被拉低到 0, 若 $A=0$, 则 B 与 VDD, B 与地之间均不存在通路, B 的值保持为 1 不变. 两种情况都满足 $B = \bar{A} = D$. 节点 B 的值通过两级反相器到达输出 Q 端, 满足 $Q = B = D$. 此时 TSPC 型 D 触发器完成一次输入数据采样.

当 clk 保持低电平时, 节点 B 被预充电至 VDD, 此时节点 C 处不存在充放电通路, C 与输出 Q 的值均保持不变. 当 clk 保持高电平时, 节点 A 无法被充电至 VDD, 若 A 的值发生变化, 必定是从 1 放电至 0, 这种变化不会改变 B 点的值, 也不会改变

输出 Q 的值. 因此, 输出 Q 的值只能在 clk 上升沿到来时变化, 其余时间将保持不变.

真单时钟 D 触发器的建立时间大约为一个反相器的延时. 输入 D 为 1 时, 其传输时间约为两个反相器的延时, 输入 D 为 0 时, 传输时间约为三个反相器的延时. 该触发器几乎不需要保持时间. 相比于由反相器和传输门构成的普通 D 触发器, TSPC 型 D 触发器有更小的建立时间和传输时间, 需要更少的晶体管数目与更小的功耗.

5 后仿与结果

本文提出的片上时钟抖动测量系统采用 $0.13\ \mu\text{m}$ CMOS 工艺设计, 电源电压为 $1.5\ \text{V}$, 芯片面积为 $2.4\ \text{mm} \times 1.8\ \text{mm}$. 芯片版图如图 13 所示. 仿真前先通过校准确定系统的测量分辨率, 再将噪声时钟输入本文设计的系统中, 得到一组 7 位的输出数据后, 使用其他工具进行进一步处理.

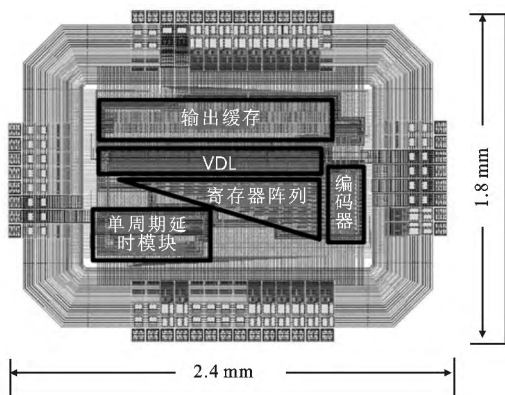


图 13 芯片版图

5.1 测量分辨率的确定

系统的测量分辨率会随着温度、电源电压等因素的变化而发生改变, 因此在每次测量之前先要进行校准, 以确定本次测量的分辨率. 校准步骤如下所示.

(1) 设置分辨率选择信号 $K<1:0>$.

(2) 将两路固定相位差的时钟信号接到游标延时链的输入端, 之后打开电源, 开始校准.

(3) 记录系统的输出数据, 计算本次测量的分辨率 T_R .

表 1 中给出了在电源电压为 $1.5\ \text{V}$, typical 工艺角, $27\ ^\circ\text{C}$ 的仿真环境下, 校准分辨率过程的后仿结果. 表 1 中 m 为根据测量系统输出结果 $Y<6:0>$, 使用式(7)计算得到的级数. 根据表 1 抽赤的结果可知, 系统的最高测量分辨率可达 $5.71\ \text{ps}$. 最低

的测量分辨率为 $15.79\ \text{ps}$, 此时测量量程最大, 可达 $1.4\ \text{ns}$ 左右.

表 1 测量分辨率的校准结果

固定相位差/ps	$K<1:0>$	m	T_R/ps
400	00	70	5.71
500	01	63	7.94
700	10	64	10.94
900	11	57	15.79

5.2 后仿结果

后仿结果表明, 系统可以测量的输入时钟信号频率范围为 $100\sim 800\ \text{MHz}$. 由式(4)可知, Δt_n 可以直接表征输入时钟的周期抖动的峰峰值和标准差值, 为数据处理方便, 以下分析结果采用周期抖动的相关统计特性.

被测输入时钟的频率为 $730\ \text{MHz}$, 注入频率为 $60\ \text{MHz}$ 的周期性噪声之后, 其周期呈正弦分布, 如图 14 所示. 用 Matlab 计算得到输入时钟周期抖动的峰峰值为 $61\ \text{ps}$, 标准差值为 $21.4\ \text{ps}$.

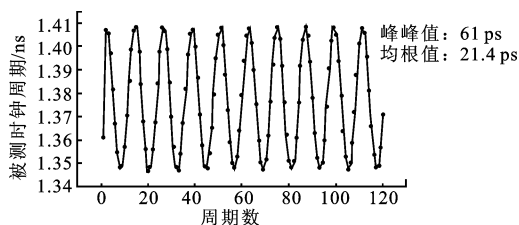
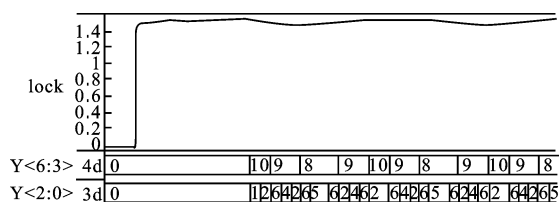


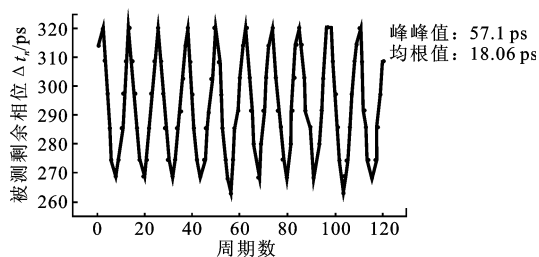
图 14 被测输入时钟的周期变化

测量时选用的分辨率选择信号 $K<1:0>$ 为 00, 根据表 1 可知测量分辨率为 $5.71\ \text{ps}$. 部分信号的后仿输出波形如图 15(a) 所示. lock 信号为单周期延时模块的锁定信号, 当 lock 信号为高电平时, 表示该模块已经锁定, clock 和 Delock 被送入游标延时链的输入端进行测量. $Y<6:3>$ 和 $Y<2:0>$ 分别为编码器的输出结果. 根据式(7)和式(6)可以计算得到每个周期对应的剩余相位时间差 Δt_n 的值. 图 15(b) 给出了测量得到的 Δt_n 随周期数变化的波形图, 从图中可以看出, Δt_n 大致按照正弦规律变化. 用 Matlab 计算得到 Δt_n 的峰峰值为 $57.1\ \text{ps}$, 标准差值为 $18.06\ \text{ps}$, 后仿结果与实际输入的误差在一个分辨率范围内. 没有时钟信号输入时, 系统的静态功耗为 $1.36\ \text{mW}$, 输入时钟频率为 $730\ \text{MHz}$ 时系统的功耗为 $36.8\ \text{mW}$.

表 2 中给出了本文与其他几种片上时钟抖动测量系统的对比. 文献[3]中给出了实际芯片测试结果, 其余均为仿真结果. 在实现结构方面, 文献[2-3]



(a) 部分信号输出波形

(b) Δt_n 随周期数变化图图 15 波形图与 Δt_n 随周期数变化图

中选择了 VDL 结构,文献[1,12]中选择了 VRO 结构.文献[1]中虽然实现了自考时钟设计,但 VRO 结构的系统无法进行连续周期测量.从表 2 中可以看出,本文提出的系统有较高的测量分辨率,无需参考时钟,而且能进行连续周期测量,优点较为明显.

表 2 本文中的片上时钟抖动测量系统
与其他几种测量系统的对比

	文献[1]	文献[12]	文献[3]	文献[2]	本文
工艺/ μm	0.18	0.13	0.18	0.18	0.13
结构	VRO	VRO	VDL	VDL	VDL
分辨率/ps	18	8	14.6	25	5.7
参考时钟	不需要	需要	需要	需要	不需要
连续测量	不能	不能	不能	不能	能

6 结束语

本文设计了一种基于游标延时链结构的片上时钟抖动测量系统.该系统实现了自参考设计,无需标准参考时钟.游标延时链由数字可控延时单元构成,通过改变信号 $K<1:0>$ 可以设置不同的测量分辨率.为了适应高速时钟测量,数据读出时采用真单时钟 D 触发器代替传统的 D 触发器,缩短了寄存器的建立时间、保持时间和传输时间.该系统采用 CMOS 0.13 μm 工艺设计,系统静态功耗为 1.36 mW,正常工作时动态功耗为 36.8 mW@730 MHz.后仿结果显示,电路可测量 100~800 MHz 频率范围内时钟的周期-周期抖动,最高测量分辨率可达

5.71 ps,测量量程最大可达 1.4 ns.

参考文献:

- [1] Tian X, Hao Z, Jing L, et al. Self-refereed on-chip jitter measurement circuit using vernier oscillators[C] // VLSI, 2005. Proceedings. IEEE Computer Society Annual Symposium on. USA, Tampa, 2005: 218-223.
- [2] Abdel-Hafeez S, Harb S M, Lee K M. On-chip jitter measurement architecture using a delay-locked loop with vernier delay line, to the order of giga hertz[C] // Mixed Design of Integrated Circuits and Systems (MIXDES), 2011 Proceedings of the 18th International Conference on. Wroclaw, Poland, 2011: 502-506.
- [3] Nan X, Jong Kwan W, WooYeol S, L. et al. A 14.6 ps resolution, 50 ns input-range cyclic time-to-digital converter using fractional difference conversion method[J]. Circuits and Systems I: Regular Papers, IEEE Transactions on, UK: Cardiff, 2010, 57 (12): 3064-3072.
- [4] Wei C, Papavassiliou C, A low power 10 bit time-to-digital converter utilizing vernier delay Lines[C] // Computer Modelling and Simulation (UKSim), 2013 UKSim 15th International Conference on UK, Cardiff, 2013: 774-779.
- [5] Mino K, WooYeol S, GiMoon H, et al. High-resolution and wide-dynamic range time-to-digital converter with a multi-phase cyclic Vernier delay line[C] // ESS-CIRC, 2013. Bucharest, Romania, 2013: 311-314.
- [6] Chan A H, Roberts G W, A jitter characterization system using a component-invariant Vernier delay line [J]. Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, 2004, 12(1): 79-95.
- [7] Wei T, Jianhua F, Chunglen L. A jitter measurement circuit based on dual resolution vernier oscillator[C] // ASIC, 2009. ASICON '09. IEEE 8th International Conference on. China, Changsha, 2009: 1213-1216.
- [8] KuoHsing C, ChanWei H, ShuYu J. Self-sampled vernier delay line for built-in clock jitter measurement[C] // Circuits and Systems, ISCAS 2006, 2006 IEEE International Symposium on. Greece, Island of Kos, 2006: 1594.
- [9] Maymandi-Nejad M, Sachdev M. A digitally programmable delay element; design and analysis [J]. Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, 2003, 11(5): 871-878.

(下转第 45 页)

- underwater sensor networks[C]//2010 Proceedings of IEEE INFOCOM. San Diego, CA: IEEE Press, 2010:1-9.
- [4] Noh Youngtae, Lee Uichin, Wang Paul, et al. VAPR: void-aware pressure routing for underwater sensor networks[J]. IEEE Transactions on Mobile Computing, 2013,12(5):895-908.
- [5] 黄芬,陈名松. 水下无线传感器网络 DBR 路由协议研究[J]. 电视技术, 2012,36(13): 74-77.
- [6] Liu Guangzhong, Li Zhibin. Depth-based multi-hop routing protocol for underwater sensor network[C]//Proceeding of the 2nd International Conference on Industrial Mechatronics and Automation. China, Wuhan, IEEE Press, 2010:268-270.
- [7] Reza Javidan, Hamideh Rafiee. A new energy efficient and depth based routing protocol for underwater sensor networks[J]. British Journal of Science, 2013, 8(1): 22-30.
- [8] Wahid A, Kim D. An energy efficient localization-free routing protocol for underwater wireless sensor networks[J]. International Journal of Distributed Sensor Networks, 2012:1-11.
- [9] 康文静,刘功亮,李亚星. 基于深度和距离感知的三维水下传感器网络路由算法[J]. 科学技术与工程, 2011, 11(35): 8780-8784.
- [10] 金军,纵芳,梁妙元,等. 水下传感器网络路由协议研究[J]. 电信科学 2012, 28(2): 123-127.
- [11] Paolo Casari, Michele Zorzi. Protocol design issues in underwater acoustic networks[J]. Computer Communications, 2011,34(17): 2013-2025.
- [12] Jafri M R, Ahmed S, Javaid N, et al. AMCTD: Adaptive mobility of courier nodes in threshold-optimized DBR protocol for underwater wireless sensor networks [C]//2013 Eighth International Conference on Broadband, Wireless Computing, Communication and Applications. French, Compiègne, 2013:93-99.
- [13] Jafri M R, Javaid N, Ahmed N, et al. Impact of acoustic propagation models on depth-based routing techniques in underwater wireless sensor networks[C]//Proceedings of the 28th International Conference on Advanced Information Networking and Applications Workshops. Victoria, BC: IEEE Press, 2014: 479-485.
- [14] Coutinho R W L, Vieira L F M, Loureiro A A F. DCR: depth-controlled routing protocol for underwater sensor networks[C]//2013 IEEE Symposium on Computers and Communications (ISCC). Croatia, Split, 2013:453-458.
- [15] So Yan'an, Liu Guangzhong. Improved DBR protocol based on partial update[J]. Microcomputer & Its Applications, 2014,33(12):51-54.
- [16] Yu Haitao, Yao Mianmin, Gao Hhengguo, et al. Improved DBR routing protocol for underwater acoustic sensor networks[J]. Sensor Letters, 2014,12(2):230-235.

作者简介:

谢维佳 女,(1989-),硕士研究生.研究方向为网络组网工程、无线传感器网络. E-mail:xiweijia0816@126.com.

刘建明 男,(1975-),博士后,教授,硕士研究生导师.研究方向为计算机及通信网络组网工程.

何 焯 女,(1989-),硕士研究生.研究方向为飞艇中继网络组网工程.

李 龙 男,(1989-),博士研究生.研究方向为网络组网工程、无线传感器网络.

(上接第 39 页)

- [10] Dudek P, Szczepanski S, Hatfield J C. A high-resolution CMOS time-to-digital converter utilizing a vernier delay line[J]. Solid-State Circuits, IEEE Journal of, 2000,35(2):240-247.
- [11] De Caro D. Glitch-free NAND-based digitally controlled delay-lines[J]. Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, 2013, 21(1):55-66.
- [12] Jianjun Y, Dai F F. On-chip kitter measurement using vernier ring time-to-digital converter[C]// Test Sym-

posium (ATS). 2010 19th IEEE Asian, China, Shanghai, 2010: 167-170.

作者简介:

解俊杰 男,(1990-),硕士研究生.研究方向为大规模集成电路设计.

杨海钢(通讯作者) 男,(1960-),研究员,博士生导师.研究方向为微电子学与集成电路技术、可编程信号处理器架构与 Soc 设计. E-mail:yanghg@mail.ie.ac.cn.